

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

013116892 ***Image available***

WPI Acc No: 2000-288763 200025

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 1997-287100;

2000-288764

XRAM Acc No: C00-087459

NRPX Acc No: N00-217867

Semiconductor device manufacturing method, involves performing rapid thermal annealing of impurity area formed on polycrystalline silicon film which is formed by laser annealing of amorphous silicon film

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000082821	A	20000321	JP 95199980	A	1995080	200025 B
			JP 99240190	A	19950804	

Priority Applications (No Type Date): JP 95167513 A 19950703

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000082821	A	14	H01L-029.786	Div ex application JP 95199980

Abstract (Basic): JP 2000082821 A

NOVELTY - Amorphous silicon film is formed on an insulating film (1a) formed on an insulated substrate (1). Laser annealing of the amorphous silicon film is performed for forming a polycrystalline silicon film (2). Impurity area (6) is formed on the polycrystalline silicon film. Rapid heating of the impurity area is done by performing rapid thermal annealing process.

USE - For manufacture of semiconductor device e.g. thin film transistor used for pixel driving of active matrix liquid crystal display device.

ADVANTAGE - Raises the through-put of the manufacture of the semiconductor device and reduces the manufacturing cost. Enables to obtain a polycrystalline silicon film having an outstanding characteristic within a short time by preventing diffusion of impurity.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of the manufacturing process of the semiconductor device.

Insulated substrate (1)

Insulating film (1a)

Polycrystalline silicon film (2)

Impurity area (6)

pp. 14 DwgNo 16.32

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD;
PERFORMANCE; RAPID

; THERMAL; ANNEAL; IMPURE; AREA; FORMING; POLYCRYSTALLINE; SILICON;
FILM; FORMING; LASER; ANNEAL; AMORPHOUS; SILICON; FILM

Derwent Class: I03; P81; U11; U12; U14

International Patent Class (Main): H01L-029.786

Derwent Class: I03; P81; U11; U12; U14

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82821

(P2000-82821A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl.

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 2 7 F

21/336

21/20

G 0 2 F 1/1365

G 0 2 F 1/136

5 0 0

H 0 1 L 21/20

H 0 1 L 21/265

6 0 2 B

21/265

29/78

6 1 6 L

審査請求 有 請求項の数 8 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平11-240190
(62) 分割の表示 特願平7-199980の分割
(22) 出願日 平成7年8月4日 (1995.8.4)
(31) 優先権主張番号 特願平7-167513
(32) 優先日 平成7年7月3日 (1995.7.3)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(72) 発明者 平野 貴一
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72) 発明者 曾谷 直哉
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(74) 代理人 100109368
弁理士 稲村 悦男 (外1名)

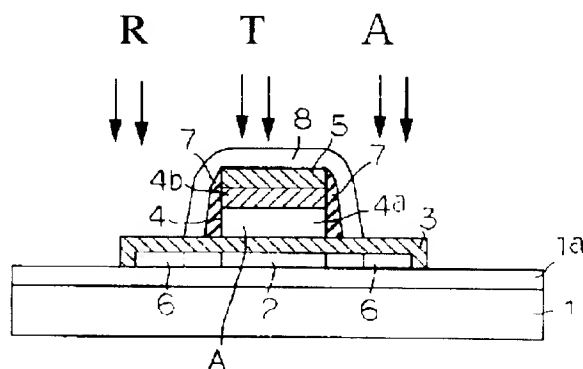
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び液晶ディスプレイ

(57) 【要約】

【課題】 優れた特性の多結晶シリコン膜を備えた半導体装置のスループットを向上させること。

【解決手段】 ガラス基板1上に絶縁性薄膜1aを形成し、この絶縁性薄膜1aの上に非晶質シリコン膜を形成し、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜2を形成し、この多結晶シリコン膜2の上にゲート絶縁膜3を介してゲート電極を形成し、前記多結晶シリコン膜2に、ソース・ドレインとなる不純物領域6を形成し、前記不純物領域6をR.T.A法を用いて急速加熱することにより活性化する。



【特許請求の範囲】

【請求項1】 基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜に不純物領域を形成する工程と、

前記不純物領域をRTA(Rapid Thermal Annealing)法を用いて急速加熱することにより活性化する工程と、を含むことを特徴とした半導体装置の製造方法、

【請求項2】 基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜に不純物領域を形成する工程と、

前記不純物領域をランプを熱源として急速加熱することにより活性化する工程と、を含むことを特徴とした半導体装置の製造方法、

【請求項3】 前記絶縁膜の厚みを1000Å～6000Åの範囲に設定したことを特徴とする請求項1又は2に記載の半導体装置の製造方法、

【請求項4】 前記多結晶シリコン膜に不純物領域を形成する工程の前に、ゲート電極を形成する工程を行うことを特徴とした請求項1又は2に記載の半導体装置の製造方法、

【請求項5】 前記RTA法に用いる熱源として、ランプからの電照射熱を用いることを特徴とした請求項1に記載の半導体装置の製造方法、

【請求項6】 前記ランプとして、キセノンアークランプを用いることを特徴とした請求項2又は5に記載の半導体装置の製造方法、

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることを特徴とした液晶ディスプレイ、

【請求項8】 請求項1乃至6のいずれか1項に記載の半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子及び周辺駆動回路用素子として用いることを特徴とした液晶ディスプレイ、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(thin film Transistor)等の半導体装置の製造方法及び液晶ディスプレイ(Liquid Crystal Display)の

用いた薄膜トランジスタ(以下、多結晶シリコンTFTという)の開発が進められている。

【0003】多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なTFTを実現できる上に、画素部(表示部)だけでなく周辺駆動回路(ドライバ部)までを同一基板上に一体に形成することができる。

【0004】このような多結晶シリコンTFTにおいて、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後に、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板上に堆積させる方法は、例えば、CVD法を用い、高温下で堆積させるという比較的簡単な工程である。

【0005】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のまま多結晶化させて多結晶シリコン膜を得る方法である。この固相成長法の一例を図31及び図32に基づいて説明する。

【0006】工程A(図31参照)：絶縁基板(例えば石英ガラス)61上に、通常の減圧CVD法を用いて非晶質シリコン膜を形成し、更に、窒素(N₂)雰囲気中、温度900℃程度で熱処理を行うことにより、前記非晶質シリコン膜を固相成長させて多結晶シリコン膜62を形成する。

【0007】前記多結晶シリコン膜62を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜62を所定形状に加工する。

【0008】前記多結晶シリコン膜62の上に、減圧CVD法を用いて、ゲート絶縁膜63としてのシリコン酸化膜を堆積する。

【0009】工程B(図32参照)：前記ゲート絶縁膜63上に、減圧CVD法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0010】次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜64を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜64を所定形状に加工する。前記多結晶シリコン膜は

図31に示すように、絶縁基板61上に、非晶質シリコン膜62を形成し、この非晶質シリコン膜62をレーザーアニールして多結晶シリコン膜62を形成する。

図32に示すように、絶縁基板61上に、非晶質シリコン膜62を形成し、この非晶質シリコン膜62をレーザーアニールして多結晶シリコン膜62を形成する。

【0012】このような方法は、同相成長や不純物活性化の時に(00)程度の高い温度を使用することから、高温プロセスと呼ばれており、耐熱性の高い基板(例えば、石英基板)を用いた場合には、処理時間が短く済むという利点がある。

【0013】しかしながら、前記耐熱性の高い基板は高価であり、比較的安価なガラス基板を用いた場合には、基板に熱歪みが生じて好ましくなく、近年では、低温プロセスを用いた開発が盛んである。

【0014】特に、駆動デバイスであるTFTにおいて、高性能化が必須であり、このために、低温プロセスを用いたTFTの構成材料の高品質化をはじめとする様々なアプローチがなされている。

【0015】例えば、デバイス特性を左右する活性層材料の高品質化技術として、非晶質シリコン膜を出発材料とし、エキシマレーザーアニール法によって、多結晶シリコン薄膜を形成する技術が開発されている。

【0016】

【発明が解決しようとする課題】従来例にあっては、以下の通りの問題点を有する。

【0017】(1)レーザーアニールは、ビーム走査を何度も繰り返して行う必要があるため、結晶化プロセスに時間がかかるという問題があるが、従来例にあっては、熱源としてレーザービームのみを使用するものであるため、多結晶化プロセスに加え、例えば、不純物領域の活性化にも時間のかかるレーザーアニールを行わなければならない、総プロセス時間が長くなり、TFTデバイスおよびTFTを使用したICデバイスのスループットが低下する。

【0018】(2)非晶質シリコン膜の結晶化や不純物の活性化の熱処理のために、基板中の不純物が、上層の非晶質シリコン膜(又は多結晶シリコン膜)に拡散してしまう。

【0019】本発明は、半導体装置の製造方法及び液晶ディスプレイに関し、斯かる問題点を解決するものである。

【0020】

【課題を解決するための手段】本発明の第1の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0021】また、本発明の第2の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0022】また、本発明の第3の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0023】また、本発明の第4の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0024】また、本発明の第5の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0025】また、本発明の第6の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0026】また、本発明の第7の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0027】また、本発明の第8の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0028】また、本発明の第9の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0029】また、本発明の第10の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0030】また、本発明の第11の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0031】また、本発明の第12の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0032】また、本発明の第13の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をRTA法を用いて急速加熱することにより活性化する工程と、を含むことをその要旨とする。

り品質の高い多結晶シリコン膜が得られ、且つRTAにより不純物領域を短時間で活性化できる。

【0022】また、基板と非晶質シリコン膜との間には、絶縁膜を形成しているため、非晶質シリコン膜の結晶化や不純物の活性化の熱処理の際に、基板中の不純物が非晶質シリコン膜又は多結晶シリコン膜中に拡散することを防止する。

【0023】本発明の第2の局面による半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、この絶縁膜の上に非晶質シリコン膜を形成する工程と、この非晶質シリコン膜をレーザーアニールして多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に、不純物領域を形成する工程と、前記不純物領域をラングを熱源として急速加熱することにより活性化する工程と、を含むことをその要旨とする。

【0024】このように、非晶質シリコン膜の結晶化をレーザーアニールを用いて行い、不純物領域の活性化をラングを熱源として急速加熱することにより行うことで、結晶化と活性化とをいづれもレーザーアニール法で行うことに比べて、製造時間が短くなる。特にこの場合、レーザーアニールにより品質の高い多結晶シリコン膜が得られ、且つラングを熱源とした急速加熱により不純物領域を短時間で活性化できる。

【0025】また、基板と非晶質シリコン膜との間には、絶縁膜を形成しているため、非晶質シリコン膜の結晶化や不純物の活性化の熱処理の際に、基板中の不純物が非晶質シリコン膜又は多結晶シリコン膜中に拡散することを防止する。

【0026】上記の場合において、前記絶縁膜の厚みを1000Å～6000Åの範囲に設定することが望ましい。こうすることで、熱処理の際の基板からの不純物の拡散を、より効果的に防止することができる。

【0027】また、上記の場合において、前記多結晶シリコン膜に不純物領域を形成する工程の前に、ゲート電極を形成する工程を行うことが望ましい。

【0028】また、前記RTA法に用いる熱源として、ランプからの照射熱を用いることが望ましい。

【0029】また、前記ラングとして、ヒートスプレッドを用いることが望ましい。

【0030】また、本発明の第3の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。こうすることにより、優れた液晶ディスプレイを短時間で製造することができる。

【0031】また、本発明の第4の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0032】また、本発明の第5の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0033】また、本発明の第6の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0034】また、本発明の第7の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0035】また、本発明の第8の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0036】また、本発明の第9の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0037】また、本発明の第10の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0038】また、本発明の第11の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0039】また、本発明の第12の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0040】また、本発明の第13の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0041】また、本発明の第14の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

【0042】また、本発明の第15の局面による液晶ディスプレイは、上記第1又は第2の局面による半導体装置の製造方法によって製造した薄膜トランジスタを画素駆動用素子として用いることをその要旨とする。

プロセスを短時間で製造することができる。

【0032】

【発明の実施の形態】（第1実施形態）本発明を具体化した第1の実施形態を図1乃至図18に従って説明する。

【0033】工程1（図1参照）：石英ガラスや無アルカリガラスなどの基板1上に、 SiO_2 や Si_3N_4 などの絶縁性薄膜1aをCVD法やスパッタ法などにより形成する。具体的には、基板1としてコーニング社製7050を使用し、その表面上に常圧又は減圧CVD法により、形成温度350℃で、膜厚3000～5000Åの SiO_2 膜を形成する。

【0034】この SiO_2 膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこの SiO_2 膜を通過して上層へ拡散しない程度の厚みが必要で、1000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合がもっとも適している。

【0035】また、絶縁性薄膜1aとして Si_3N_4 を用いた場合の膜厚としては、1000～5000Åの範囲が適切で、2000～5000Åにしたときに拡散防止効果が良好で、その中でも2000～3000Åの場合がもっとも適している。

【0036】工程2（図2参照）：前記絶縁性薄膜1aの上に、非晶質シリコン膜2a（膜厚500Å）を形成する。この非晶質シリコン膜2aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜2aの膜厚は、400～800Åの範囲が適切で、500～700Åにしたときに特性が良好で、その中でも500～600Åの場合がもっとも適している。

【0037】前記非晶質シリコン膜2aの形成方法には以下のものがある。

【0038】①減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モノシラン（ SiH_4 ）又はジシラン（ Si_2H_6 ）の熱分解を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質シリコン膜以上では多結晶となる。そして、550～620℃では微結晶を含む非晶質が多くなり、温度が低くなるほど非晶質に近づいて微結晶が少なくなる。従って、温度条件を変えるだけで、非晶質シリコン膜2a中の微結晶の量を調整することができる。

【0039】②プラズマCVD法を用いる方法：プラズマCVD法で非晶質シリコン膜を形成するには、ガラス

膜2aの表面に、波長 $\lambda=248\text{nm}$ のKrFエキシマレーザービームを照射、走査してアニール処理を行い、非晶質シリコン膜2aを溶融再結晶化して、多結晶シリコン薄膜2を形成する。

【0042】この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}\text{Pa}$ 以下、基板温度：室温～600℃、照射エネルギー密度：100～500 mJ/cm^2 、走査速度：1～10 mm/sec （実際には、0.1～100 mm/sec の範囲の速度で走査可能）である。

【0043】前記レーザービームとしては、波長 $\lambda=308\text{nm}$ のXeClエキシマレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}\text{Pa}$ 以下、基板温度：室温～600℃、照射エネルギー密度：100～500 mJ/cm^2 、走査速度：1～10 mm/sec （実際には、0.1～100 mm/sec の範囲の速度で走査可能）である。

【0044】また、波長 $\lambda=193\text{nm}$ のArFエキシマレーザーを使用してもよい。この場合のレーザー条件は、アニール雰囲気： $1 \times 10^{-4}\text{Pa}$ 以下、基板温度：室温～600℃、照射エネルギー密度：100～500 mJ/cm^2 、走査速度：1～10 mm/sec である。

【0045】いずれのレーザービームを用いても、照射エネルギー密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、所望の大きさの粒径が得られるように、エネルギー密度を調整すればよい。

【0046】本実施形態では、このエキシマレーザーアニールに、高スループットレーザー照射法を用いる。即ち、図29において、101はKrFエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0047】このような構成において、高スループットレーザー照射法とは、レーザービーム制御光学系103によってシート状（15～100 $\text{mm} \times 0.5\text{mm}$ ）に加工されたレーザービームを、複数パルスの重ね合わせにより照射する方法で、スキャン走査とパルスレーザー照射を完全に同期させ、きつめて高精度な重複でレーザーを照射することによりスループットを高めるものである。

【0048】工程4（図4参照）：前記多結晶シリコン膜2を薄膜トランジスタの能動層として用いるために、フォトリソグラフィ技術（R1E法）によるドライエッチング技術により前記多結晶シリコン膜2を所定形状に加工する。

【0049】図3は、図1の基板1に、絶縁性薄膜1aを形成した状態を示す。

【0050】工程3（図3参照）：前記多結晶シリコン

膜2を形成した状態を示す。このとき、絶縁性薄膜1aの膜厚は、図1の膜厚2aより厚く形成する。

【0050】工程5(図5参照)：前記ゲート絶縁膜3の上には、減圧CVD法により非晶質シリコン膜(膜厚2000Å)1aを堆積する。この非晶質シリコン膜1aは、その形成時に不純物(N型ならヒ素やリン、P型ならボロン)がドーパされているが、アモルファス状態で堆積し、その後不純物を注入してもよい。

【0051】次に、スパッタ法を用い、前記非晶質シリコン膜1aの上にワシグスケンシリサイド(WSi_x)膜1b(膜厚1000Å)を形成する。スパッタ法では、 WSi サイトの合金ターゲットを使用する。 WSi サイト(WSi_x)の化学量論的組成は N_2 であるが、合金ターゲットの組成は N_2 に設定する。これは WSi サイト膜1bの組成が N_2 に近いと、その後の熱処理時に非常に大きな引っ張り応力が生じ、 WSi サイト膜1bにクラックが発生したり、剥離したりする恐れがあるためである。但し、 WSi サイトの抵抗値は N_2 の場合に最も低くなるため、クラックや剥離が生じない程度に N の上限を設定する必要がある。

【0052】そして、常圧CVD法により、前記 WSi サイト膜1bの上にシリコン酸化膜5を堆積した後、プラズマ酸化技術、 RIE 法によるドライエッチング技術を用いて、前記多結晶シリコン膜4a、 WSi サイト膜1b及びシリコン酸化膜5を所定形状に加工する。前記非晶質シリコン膜1aは、前記 WSi サイト膜1bとともにポリサイト構造のゲート電極4として使用する。

【0053】工程6(図6参照)：自己整合技術により、ゲート電極4及びシリコン酸化膜5をマスクとして、多結晶シリコン膜2に不純物を注入し、ソース・ドレイン領域6を形成する。

【0054】工程7(図7参照)：前記ゲート絶縁膜3及びシリコン酸化膜5の上には、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極4及びシリコン酸化膜5の側方にサイドウォール7を形成する。更に、このサイドウォール7及びシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2に不純物を注入して、 n - pn - n 型(n - pn - n 型)構造を形成する。

【0055】工程8(図8参照)：この状態で、 RTA (Rapid Thermal Annealing)法による急速加熱を行う。

【0056】即ち、図80において、105はシート状のアニール光を発する光源であり、キセノン(Xe)アークランプ、106はそれを包囲する照射筒107を1組とし

【0057】このような構成において、基板1をアークヒーター106で予熱した後、シート状のアニール光源105を通して、熱処理する。

【0058】この時の RTA の条件は、熱源：Xeアークランプ、温度：700～950℃(パイロマーク)、雰囲気： N_2 、時間：1～3秒である。 RTA 法による加熱は、高温を用いるが、きわめて短時間で終わることができるので、基板1が変形する心配はない。

【0059】尚、基板1に対し、急激に高い温度を加えることが心配な場合は、 RTA を複数回に分けて行うのもよい。即ち、各回の時間は1～3秒とし、回を重ねる毎に温度を、初回：100℃、最終回：700～950℃というように段階的に上昇させる。

【0060】前記Xeアークランプの光熱は、多結晶部よりも非晶質部やシリサイト部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、ゲート・配線の低抵抗化や不純物の活性化に適している。

【0061】そして、この急速加熱により、前記ソース・ドレイン領域6の不純物が活性化するとともに前記非晶質シリコン膜4aが多結晶化され、更には、この多結晶シリコン膜4aと WSi サイト膜1bとによるポリサイト構造のゲート電極4のシート抵抗が、約20～22Ω/□にまで下がる。

【0062】また、活性化処理を行ったソース・ドレイン領域6のシート抵抗も、 n 型で1～1.5kΩ/□、 p 型で1～1.2kΩ/□と、高温プロセスで用いられる拡散炉による高温熱処理と同等のものとなる。

【0063】この工程により、薄膜トランジスタ(TFT, Thin Film Transistor)Aが形成される。

【0064】工程9(図9参照)：レジスト8除去後、デバイスの全面に、プラズマ酸化膜(膜厚2000Å)と常圧CVD法によるシリコン酸化膜(膜厚2000Å)との積層構造から成る層間絶縁膜9を形成する。層間絶縁膜9を常圧CVD法によるシリコン酸化膜だけで形成すると、堆積膜厚が不均一になって、オーバーハングが形成され、後工程で使用する Al などが除去されずに残りやすく、絶縁不良が発生する危険がある。一方、本実施形態のように、プラズマ酸化膜を堆積した後には常圧でシリコン酸化膜を堆積する方法にあっては、シリコン酸化膜の成長レートが安定し、その堆積膜厚が均一になる。

【0065】特に、プラズマ酸化膜は、基板表面の凹凸に合わせて均一な膜厚で堆積されるので、層間絶縁膜としての膜厚が均一に安定する。

【特許請求の範囲】
1. 多結晶シリコン膜2に不純物を注入して、 n - pn - n 型構造を形成する工程を含む、薄膜トランジスタの製造方法。

【特許請求の範囲】
1. プラズマ酸化膜を堆積する工程を含む、薄膜トランジスタの製造方法。

【0067】続いて、電気炉により、水素(H₂)雰囲気中、温度1500℃で12時間加熱し、更に、水素プラズマ処理を施す。このような水素化処理を行うことで、多結晶シリコン膜の結晶欠陥部分に水素原子が結合し、結晶構造が安定化して、電界効果移動度が高まる。

【0068】その後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記層間絶縁膜9に、前記ソース・ドレイン領域6とコンタクトするコンタクトホール10を形成する。

【0069】工程10(図10参照)：スパッタロンス法やCVD法により、Ti—Al—Si合金(下1の積層構造からなる配線層を堆積)、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、ソース・ドレイン電極11として加工する。

【0070】工程11(図11参照)：CVD法により、ゲバイスの全面に保護膜としてのシリコン酸化膜12(シリコン窒化膜でもよい)を薄く堆積させる。

【0071】工程12(図12参照)：ゲバイス全面に、SOG(Spin On Glass)膜13を3回におたって塗布し、ゲバイス表面の凹凸を平坦化する。

【0072】工程13(図13参照)：前記SOG膜13はレジストの剥離性が悪く、また水分を吸収しやすいので、この保護膜として、CVD法により、SOG膜13の上に更にシリコン酸化膜14(シリコン窒化膜でもよい)を薄く堆積させる。

【0073】工程14(図14参照)：フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記シリコン酸化膜12、SOG膜13、シリコン酸化膜14に、前記ソース・ドレイン電極11に通じるコンタクトホール15を形成し、ゲバイスの全面に、画素電極としてのITO膜16をスパッタ蒸着させる。

【0074】工程15(図15参照)：最後に、ITO膜16を電極形状に加工すべく、ITO膜16の上にレジストパターンを形成した後、まず、臭化水素ガス(HBr)を用いたRIE法によりITO膜16をエッチングし、シリコン酸化膜14が露出しはじめる時点で、ガスを塩素ガス(Cl₂)に切り替えて、そのまま最後までエッチングを継続する。

【0075】工程16(図16参照)：このようにして、1個のTFT基板を形成した後、表面に共通電極17が形成された透明絶縁基板18を相対向させ、各基板17、18の間に液晶を注入して液晶層19を形成することにより、LCDの画素部を完成させる。

【0076】図17は本実施形態におけるアクティブマトリクス方式LCDのブロック構成図である。

ドライバ22に接続され、ゲート信号(走査信号)が印加されるようになっている。また、各ドレイン配線はドレインドライバ(ゲートドライバ)23に接続され、データ信号(ビデオ信号)が印加されるようになっている。これらのドライバ22、23によって周辺駆動回路24が構成されている。

【0078】そして、各ドライバ22、23のうち少なくともいずれか一方を画素部20と同一基板上に形成したLCDは、一般にドライバ一体型(ドライバ内蔵型)LCDと呼ばれている。尚、ゲートドライバ22が、画素部20の両端に設けられている場合もある。また、ドレインドライバ23が、画素部20の両側に設けられている場合もある。

【0079】この周辺駆動回路24のスイッチング用素子にも前記多結晶シリコンTFT(A)と同等の製造方法で作成した多結晶シリコンTFTを用いており、多結晶シリコンTFT(A)の作製に並行して、同一基板上に形成される。尚、この周辺駆動回路24用の多結晶シリコンTFTは、LCD構造ではなく、通常のシングルドレイン構造を採用している(もちろん、TFT構造であってもよい)。

【0080】また、この周辺駆動回路24の多結晶シリコンTFTは、TMO₂S構造に形成することにより、各ドライバ22、23としての寸法の縮小化を実現している。

【0081】図18にゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素21の等価回路を示す。

【0082】画素21は、画素駆動素子としてのTFT(前記浮膜トランジスタAと同様)、液晶セルLC、補助容量Csから構成される。ゲート配線GnにはTFTのゲートが接続され、ドレイン配線DnにはTFTのドレインが接続されている。そして、TFTのソースには、液晶セルLCの表示電極(画素電極)と補助容量(蓄積容量又は付加容量)Csとが接続されている。

【0083】この液晶セルLCと補助容量Csとにより、信号蓄積素子が構成される。液晶セルLCの共通電極(表示電極の反対側の電極)には電圧V_{com}が印加されている。一方、補助容量Csにおいては、TFTのソースと接続される側の反対側の電極には定電圧VEが印加されている。この液晶セルLCの共通電極は、文字通り全ての画素21に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量Csにおいては、TFTのソースと接続される側の反対側の電極(隣り

の電極)は、共通電圧V_{com}が印加されている。また、ゲート配線Gnは、ゲート信号を、ドレイン配線Dnは、データ信号を、液晶セルLCの共通電極は、共通電圧V_{com}を、表示電極は、表示電圧V_dをそれぞれ受ける。

このように構成された液晶セルLCは、表示電圧V_dと共通電圧V_{com}との電圧差によって液晶分子の配向が変化し、光の透過率が変化する。この透過率の変化が、表示画像となる。

電容量と補助容量 C_s とが充電される。反対に、ゲート配線6aを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線6aに印加されていた電圧が、液晶セル10の静電容量と補助容量 C_s とによって保持される。このように、画素21へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素21に任意のデータ信号を保持させることができる。その画素21の保持しているデータ信号に応じて液晶セル10の透過率が変化し、画像が表示される。

【0085】ここで、画素21の特性として重要なものは、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部20の仕様から定められた単位時間内に、信号蓄積素子（液晶セル10及び補助容量 C_s ）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0086】補助容量 C_s が設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セル10は、その構造上、静電容量の増大には限界がある。そこで、補助容量 C_s によって液晶セル10の静電容量の不足分を補うわけである。

（第2実施形態）次に、本発明を具体化した第2の実施形態を図19～図28に基づいて説明する。但し、第1実施形態で説明した個所と同等の個所には同じ符号を用い、説明を省略する。また、この第2実施形態は、第1実施形態の工程1～工程8に対応する工程が異なるので、ここではその部分のみを説明する。

【0087】工程(1)（図19参照）：基板1上に、Wシリサイド膜51を形成する。

【0088】工程(2)（図20参照）：前記Wシリサイド膜51を、トランジスタの能動層としての多結晶シリコンと同一バターンに加工する。

【0089】工程(3)（図21参照）：前記基板1及び前記シリサイド膜51を覆うように、SiO₂2やSiN₂などの絶縁性薄膜15をCVD法やスパッタ法などにより形成する。

【0090】工程(4)（図22参照）：前記絶縁性薄膜15の上に、非晶質シリコン膜20を形成する。

【0091】工程(5)（図23参照）：前記非晶質シリコン膜20の表面にRTEエキシマレーザビームを走査してパターニング処理を行い、非晶質シリコン膜20を溶

融し膜2を薄膜トランジスタの能動層として用いるために、フットリソグラフィ技術、RTE法によるドライエッチング技術により前記多結晶シリコン膜2を所定形状に加工作る。

【0094】そして、前記多結晶シリコン膜2の上にゲート絶縁膜としてのLTO膜3を形成する。

【0095】工程(7)（図25参照）：前記ゲート絶縁膜3の上に、非晶質シリコン膜1aを堆積する。

【0096】次に、前記非晶質シリコン膜1aの上にWシリサイド膜4bを形成する。

【0097】そして、前記Wシリサイド膜4bの上にシリコン酸化膜5を堆積した後、フットリソグラフィ技術、RTE法によるドライエッチング技術を用いて、前記多結晶シリコン膜1a、Wシリサイド膜4b及びシリコン酸化膜5を所定形状に加工する。前記非晶質シリコン膜1aは、前記Wシリサイド膜4bとともにポリサイド構造のゲート電極1として使用する。

【0098】工程(8)（図26参照）：前記ゲート絶縁膜3及びシリコン酸化膜5の上に、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極1及びシリコン酸化膜5の側方にサイドウォール7を形成する。

【0099】そして、自己整合技術により、サイドウォール7をマスクとして、多結晶シリコン膜2に、加速電圧：80kV、ドーズ量3～10¹⁵cm⁻²の条件で、リン（P）イオンを不純物として注入し、低濃度の不純物領域6aを形成する。

【0100】工程(9)（図27参照）：前記サイドウォール7及びシリコン酸化膜5をレジスト8で覆い、再び自己整合技術により、レジスト8をマスクとして多結晶シリコン膜2に、加速電圧：80kV、ドーズ量1～10¹⁵cm⁻²の条件で、リン（P）イオンを不純物として注入し、高濃度の不純物領域6bを形成することにより、LED（Lightly Doped Drain）構造のソース・ドレイン領域6を形成する。

【0101】工程(10)（図28参照）：この状態で、第1実施形態と同様のRTE法による急速加熱を行う。

【0102】次に、ガラス基板の光熱は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になり、（ゲート）配線の低抵抗化や不純物の活性化に適している。

【0103】特に、本実施形態では、多結晶シリコン膜2に対応して、その上方にWシリサイド膜4bを形成している。このWシリサイド膜4bは、RTEの熱を吸収する作用があり、熱を吸収したWシリサイド膜4bが

（図29）（図28参照）

に、熱を吸収したシリサイド膜4bは、光熱熱により、直接及び間接的に加熱する。また、多結晶シリ

【0104】工程(11)（図29参照）：前記多結晶シリ

リコシ膜を全体を均一に加熱し、活性化がバラバラことをなく良好に行われるようにする。

【0110】シリリサイド膜厚1)の大きさは、基本的には、多結晶シリコン膜を何回か、又はそれ以上重ねた(ばい)後、面内でのパターン化の大きさに対応した面積となるような調整が、最も好ましい。

【0106】即ち、集積半導体がハイスでは、パターンと疎密が基板上に発生するため、各トランジスタに均等にWシリサイド膜とを設けたのでは、場所によって単位面積当たりの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜51が集中する場所での温度が非常に高くなって基板1が変形する場合がある。

【0107】そこで、下層に配置した熱吸吸脱の単位面積当りの密度を、その上層に形成されるパターンに係わらずほぼ一定となるようにすれば、RTAで活性化するときの温度分布の偏りを解消することができる。具体的にドライバ一休型のLTPDパネルでは、ドライバ部に比べて画素部のトランジスタの密度が高いので、ドライバ部のトランジスタに対応するWシリサイド膜51の大きさを、画素部のそれに比べて大きくしてやることで、基板1全体の温度分布がほぼ均一になる。

【0108】LCDパネルにあつては、回路の面積の約10%がWシライド膜51となるように調整することが好ましい。

【0109】この工程により、多結晶シリコンTFT（TFT：Thin Film Transistor）が形成される。

【0110】以上の実施形態により製造した多結晶シリコンエド平においては、いかなる低温プロセスで行うことができ、しかも、良質の多結晶シリコン膜を能動層として使用している。

【0111】本発明者の実験によれば、 n チャネルのMOS型多結晶シリコンTFTでの移動度が n が $200\text{ cm}^2/\text{Vs}$ 以上、 p チャネルのMOS型多結晶シリコンTFTでの移動度が p が $100\text{ cm}^2/\text{Vs}$ 以上である、高い性能のトランジスタを実現できることがわかった。

【011112】このように高性能トランジスタに対しては、例えば、 $g_m = 500 \text{ mS}$ 、 $m = 1 \text{ V}$ 、 $S = 10 \text{ pF}$ 、 $g_p = 200 \text{ mS}$ 、 $V = 1 \text{ V}$ が要求されるならば、前記式(6)より、 β が十分に大となるように十分に適用可能であり、 $g_m = 500 \text{ mS}$ 、 $m = 1 \text{ V}$ 、 $S = 10 \text{ pF}$ 、 $g_p = 200 \text{ mS}$ 、 $V = 1 \text{ V}$ 、 β の値は 10^4 以上(10000以上)と、 β の値(Sub-threshold Sizing)は、 0.1 V 、 0.2 V 、 0.3 V 、 0.4 V 、 0.5 V 、 0.6 V 、 0.7 V 、 0.8 V 、 0.9 V 、 1.0 V 、 1.1 V 、 1.2 V 、 1.3 V 、 1.4 V 、 1.5 V 、 1.6 V 、 1.7 V 、 1.8 V 、 1.9 V 、 2.0 V 、 2.1 V 、 2.2 V 、 2.3 V 、 2.4 V 、 2.5 V 、 2.6 V 、 2.7 V 、 2.8 V 、 2.9 V 、 3.0 V 、 3.1 V 、 3.2 V 、 3.3 V 、 3.4 V 、 3.5 V 、 3.6 V 、 3.7 V 、 3.8 V 、 3.9 V 、 4.0 V 、 4.1 V 、 4.2 V 、 4.3 V 、 4.4 V 、 4.5 V 、 4.6 V 、 4.7 V 、 4.8 V 、 4.9 V 、 5.0 V 、 5.1 V 、 5.2 V 、 5.3 V 、 5.4 V 、 5.5 V 、 5.6 V 、 5.7 V 、 5.8 V 、 5.9 V 、 6.0 V 、 6.1 V 、 6.2 V 、 6.3 V 、 6.4 V 、 6.5 V 、 6.6 V 、 6.7 V 、 6.8 V 、 6.9 V 、 7.0 V 、 7.1 V 、 7.2 V 、 7.3 V 、 7.4 V 、 7.5 V 、 7.6 V 、 7.7 V 、 7.8 V 、 7.9 V 、 8.0 V 、 8.1 V 、 8.2 V 、 8.3 V 、 8.4 V 、 8.5 V 、 8.6 V 、 8.7 V 、 8.8 V 、 8.9 V 、 9.0 V 、 9.1 V 、 9.2 V 、 9.3 V 、 9.4 V 、 9.5 V 、 9.6 V 、 9.7 V 、 9.8 V 、 9.9 V 、 10.0 V 、 10.1 V 、 10.2 V 、 10.3 V 、 10.4 V 、 10.5 V 、 10.6 V 、 10.7 V 、 10.8 V 、 10.9 V 、 11.0 V 、 11.1 V 、 11.2 V 、 11.3 V 、 11.4 V 、 11.5 V 、 11.6 V 、 11.7 V 、 11.8 V 、 11.9 V 、 12.0 V 、 12.1 V 、 12.2 V 、 12.3 V 、 12.4 V 、 12.5 V 、 12.6 V 、 12.7 V 、 12.8 V 、 12.9 V 、 13.0 V 、 13.1 V 、 13.2 V 、 13.3 V 、 13.4 V 、 13.5 V 、 13.6 V 、 13.7 V 、 13.8 V 、 13.9 V 、 14.0 V 、 14.1 V 、 14.2 V 、 14.3 V 、 14.4 V 、 14.5 V 、 14.6 V 、 14.7 V 、 14.8 V 、 14.9 V 、 15.0 V 、 15.1 V 、 15.2 V 、 15.3 V 、 15.4 V 、 15.5 V 、 15.6 V 、 15.7 V 、 15.8 V 、 15.9 V 、 16.0 V 、 16.1 V 、 16.2 V 、 16.3 V 、 16.4 V 、 16.5 V 、 16.6 V 、 16.7 V 、 16.8 V 、 16.9 V 、 17.0 V 、 17.1 V 、 17.2 V 、 17.3 V 、 17.4 V 、 17.5 V 、 17.6 V 、 17.7 V 、 17.8 V 、 17.9 V 、 18.0 V 、 18.1 V 、 18.2 V 、 18.3 V 、 18.4 V 、 18.5 V 、 18.6 V 、 18.7 V 、 18.8 V 、 18.9 V 、 19.0 V 、 19.1 V 、 19.2 V 、 19.3 V 、 19.4 V 、 19.5 V 、 19.6 V 、 19.7 V 、 19.8 V 、 19.9 V 、 20.0 V 、 20.1 V 、 20.2 V 、 20.3 V 、 20.4 V 、 20.5 V 、 20.6 V 、 20.7 V 、 20.8 V 、 20.9 V 、 21.0 V 、 21.1 V 、 21.2 V 、 21.3 V 、 21.4 V 、 21.5 V 、 21.6 V 、 21.7 V 、 21.8 V 、 21.9 V 、 22.0 V 、 22.1 V 、 22.2 V 、 22.3 V 、 22.4 V 、 22.5 V 、 22.6 V 、 22.7 V 、 22.8 V 、 22.9 V 、 23.0 V 、 23.1 V 、 23.2 V 、 23.3 V 、 23.4 V 、 23.5 V 、 23.6 V 、 23.7 V 、 23.8 V 、 23.9 V 、 24.0 V 、 24.1 V 、 24.2 V 、 24.3 V 、 24.4 V 、 24.5 V 、 24.6 V 、 24.7 V 、 24.8 V 、 24.9 V 、 25.0 V 、 25.1 V 、 25.2 V 、 25.3 V 、 25.4 V 、 25.5 V 、 25.6 V 、 25.7 V 、 25.8 V 、 25.9 V 、 26.0 V 、 26.1 V 、 26.2 V 、<

ことが出来る。更には、高品質の機能動層であるので、トランジスタのオフ時のリーク電流も少なく、また、高圧補償容量の面積も1/10以上に減少させることとなる。

【例 1-1-1】具体例としては、サイエンス 3 号型で、画面サイズは 500 (mm) × 700 (mm) 150 (mm) × 200 (mm) の画面サイズ、画面数は 23 万ドット、8 bit 色、80 (mm) × 100 (mm) と、従来型のものに比べて 3 倍以上の高密度画素を有しながらも、1/3 倍という高解像度と従来比で 1/3 倍のものを得ることができ、高輝度化を期待できる。

【0115】以上の実施形態は以上のように変更してもよく、その場合でも同様の作用、効果を得ることを要する。

【0-16】(1) 条件にもよるが基板1として「通常のガラス板」なども使用可能である。

【例 17】モノマー工程と工程Ⅱにおいて、非晶質シリコン膜を減圧 CVD 法により、例えば、モノシランガスを用い、温度 580°C で堆積させる。これにより、非晶質シリコン膜と気相結晶を混在した膜となる。

【例 1-18】微結晶を含んだ非晶質シリコン膜を互相成長法により多結晶化することにより、結晶粒径が小さくなるよう移動度は若干低下するが、結晶成長を短時間に終えることが出来る。

【C119】(3) 工程2と工程4において、非晶質シリコン膜21aを成膜(Ⅳ)法、フラスマCVD法によらず、常圧CVD法、光励起CVD法、蒸着法、RF(=electron beam)蒸着法、AEB(=atomic beam epitaxy)法、スパッタ法からなるグループの内訳は、バンプの形状によって形成する。

【0010】(1) 多結晶シリコン膜のチーネル領域に相当する部分に不純物をドーピングして多結晶シリコンエッチのしきい値電圧(入電)を制御する。固相成長法で形成した多結晶シリコンエッチにおいて、チーネルトランジスタでは、 $\langle 111 \rangle$ 方向にしきい値電圧がシフトし、 $\langle 100 \rangle$ 方向のチーネルトランジスタでは、 $\langle 111 \rangle$ 方向にしきい値電圧がシフトする傾向がある。また、水素化処理を行う場合、 $\langle 111 \rangle$ 方向のしきい値電圧が、 $\langle 100 \rangle$ 方向のしきい値電圧よりもシフトする傾向がある。従って、シリコン膜の不純物分布を、 $\langle 111 \rangle$ 方向に傾ける。

【例題 1】 第一工程と第二工程の二工程には、
①、スクリュー山削り方法・直管鋸削法・イオ
ンレーザ加工法・イオンビーム研磨法・エッチング
・スクリーンレジスト法等を用いて、W/SiO₂/銅膜
上に、溝を形成する。この場合にも、前記のとおり、
各記の場合と同様、理由により、W/SiO₂/銅膜上、
②の順に入るとはできない。

を説明するための断面図である

【図1-2】本発明を具体化した第1実施形態の製造工程を説明するための断面図である

【図1-3】本発明を具体化した第1実施形態の製造工程を説明するための断面図である

【図1-4】本発明を具体化した第1実施形態の製造工程を説明するための断面図である

【図1-5】本発明を具体化した第1実施形態の製造工程を説明するための断面図である

【図1-6】本発明を具体化した第1実施形態の製造工程を説明するための断面図である

【図1-7】アクティブマトリクス方式の1行のブロック構成図である

【図1-8】画素の等価回路図である

【図1-9】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-0】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-1】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-2】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-3】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-4】本発明を具体化した第2実施形態の製造工程

を説明するための断面図である

【図2-5】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-6】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-7】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-8】本発明を具体化した第2実施形態の製造工程を説明するための断面図である

【図2-9】エキシマレーザーのミール装置の構成図である

【図3-0】ミール装置の構成図である

【図3-1】従来例の製造工程を説明するための断面図である

【図3-2】従来例の製造工程を説明するための断面図である

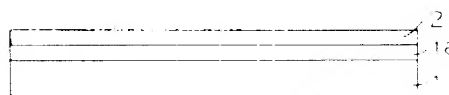
【符号の説明】

- 1 絶縁基板
- 2 a 非晶質シリコン膜
- 2 b 多結晶シリコン膜
- 3 ゲート絶縁膜
- 4 a 多結晶シリコン膜（非晶質シリコン膜）
- 4 b Wシリサイド膜
- 4 c ゲート電極
- 6 不純物領域

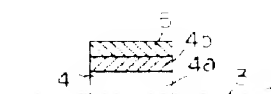
【図1】



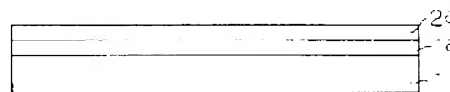
【図3】



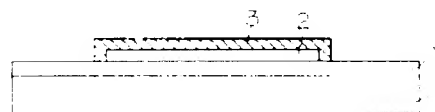
【図5】



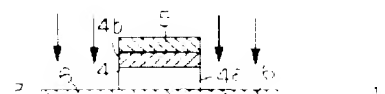
【図2】



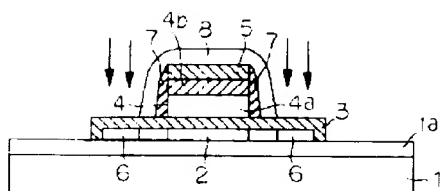
【図4】



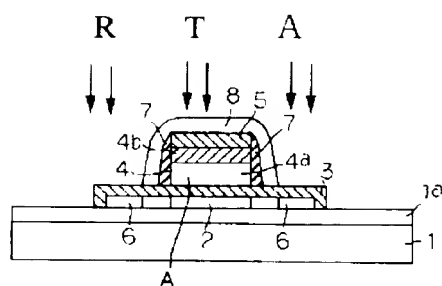
【図6】



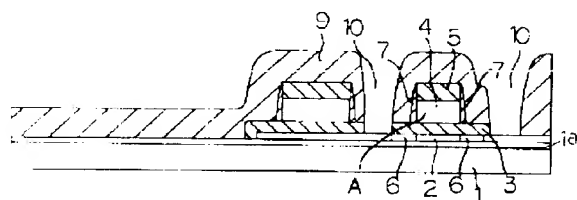
【図7】



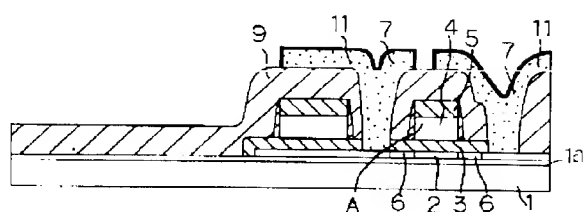
【図8】



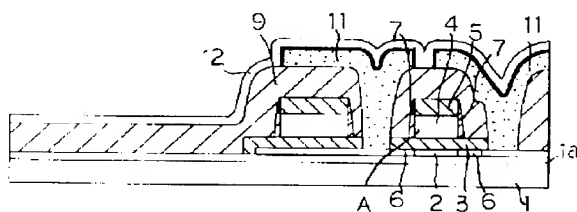
【図9】



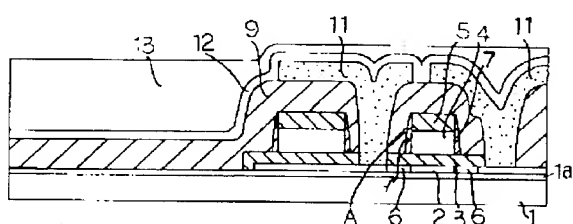
【図10】



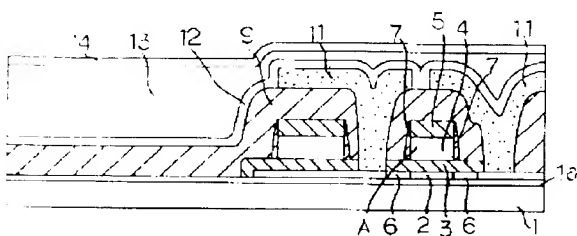
【図11】



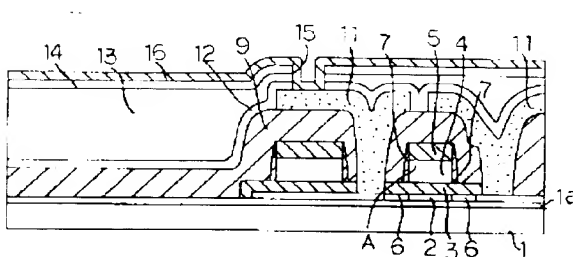
【図12】



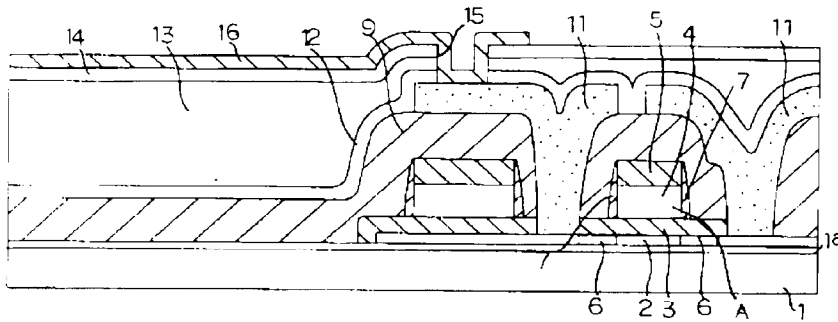
【図13】



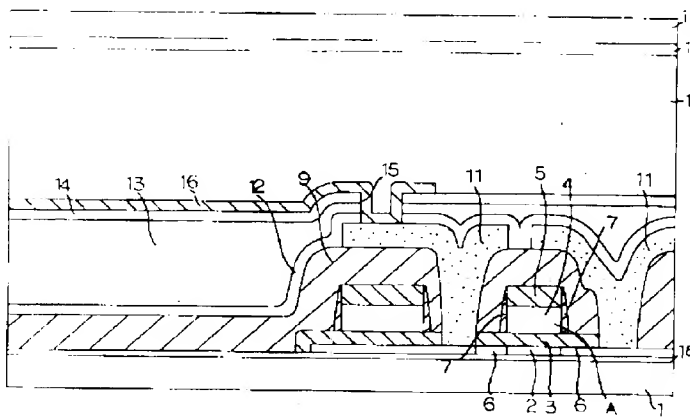
【図14】



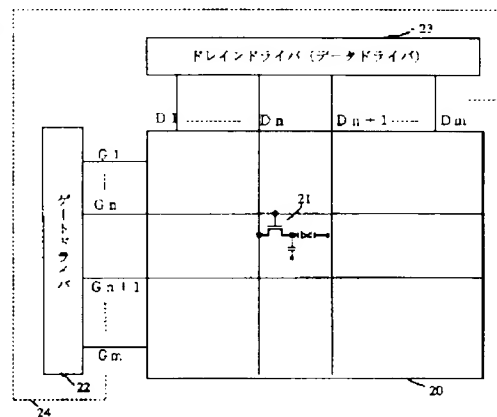
【図15】



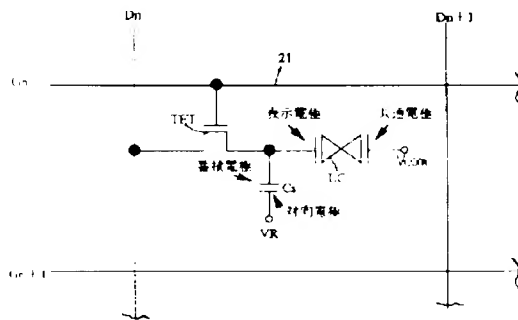
【図16】



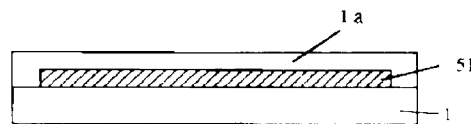
【図17】



【図18】



【図21】



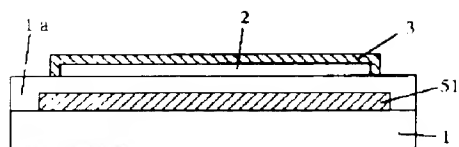
【図22】



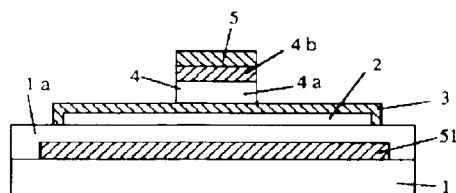
【図23】



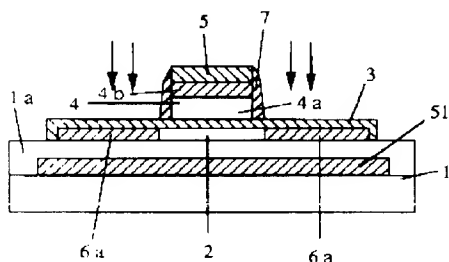
【図24】



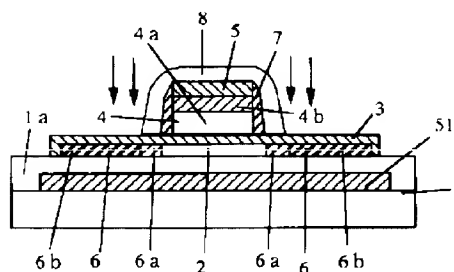
【図25】



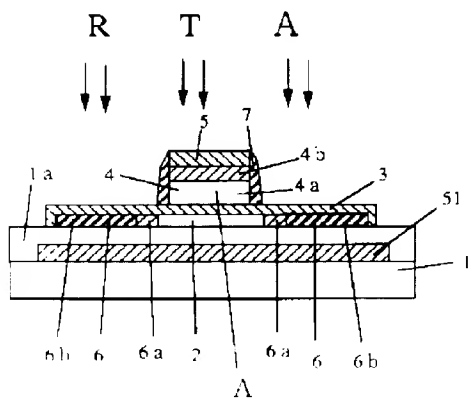
【図26】



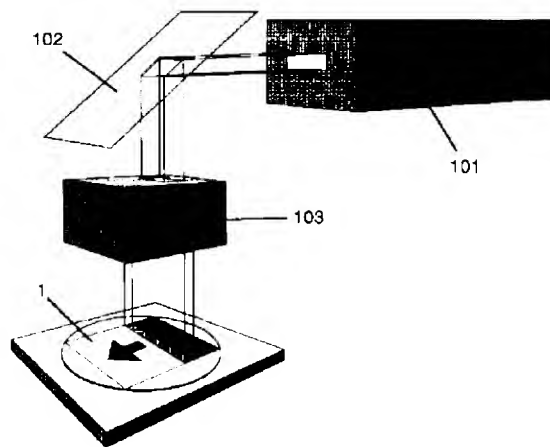
【図27】



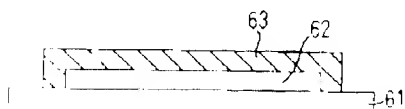
【図28】



【図29】



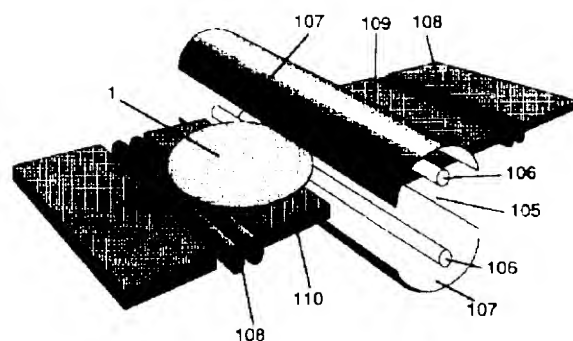
【図31】



【図32】



【図30】



フロントページの続き

(51) Int. Cl.

識別記号

F I

特許庁 (参考)

H O 1 L 29/78

G 2 7 G

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 森本 佳宏

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内